

Delphion Intellectual Property Network
 To Search & Research

[Home](#) | [Search](#) | [Order](#) | [Shopping Cart](#) | [Login](#) | [Site Map](#) | [Help](#)



Country: **JP Japan**

Kind:

Inventor(s): **YONEDA KIYOSHI**

Applicant(s): **SANYO ELECTRIC CO LTD**
[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **Oct. 15, 1981 / March 19, 1980**

Application Number: **JP1980000035163**

IPC Class: **H01L 33/00; H01L 21/58; H01L 29/42**

Abstract:

Other Abstract Info: **none**

Foreign References: **(No patents reference this one)**

Powered by DB2 and NetData

[Nominate this invention for the Gallery...](#)


JP56131977A2: MANUFACTURE OF GAN LIGHT EMITTING DIODE


[View Images \(1 pages\)](#) | [View INPADOC only](#)


Purpose: To take out light emission from a sapphire substrate by providing an inverted truncated pyramid type cavity on a sapphire substrate and installing MIS-structured GaLED chip.


Constitution: An inverted truncated pyramid type cavity is provided on a ceramic substrate and a gold film 10 is attached on an inclined surface and an independent gold film 11 at the center of the bottom, and leads 12, 13 are attached to the former respectively. An electrode 4 on a GaN chip 7 is installed facing against the Au film 11 through In 15, and In line 16 is inserted into a clearance between the Au film 10 on an inclined surface and the side of a chip. When the In is melted and solidified, the Au film 11 and the electrode 4 are connected, and the Au film 10 and the first GaN layer 2 of the chip are connected together to prevent a molten In from flowing down from a V-shaped clearance and short-circuit the films 10 and 11. Under this constitution, it is possible to take out GaN light emission from the sapphire substrate. The light emission is not intercepted at all because sapphire allows the through penetration of blue color.


COPYRIGHT: (C)1981 JPO&Japio


Alternative Searches

[Patent Number](#)


[Boolean Text](#)


[Advanced Text](#)

Browse

[U.S. Class by title](#)


[U.S. Class by number](#)


[IBM Technical Disclosure Bulletin](#)

[Privacy](#) | [Legal](#) | [Gallery](#) | [IP Pages](#) | [Advertising](#) | [FAQ](#) | [Contact Us](#)



(19)

(11) Publication number: **56131977-A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **55035163**(51) Intl. Cl.: **H01L 33/00 H01L 21/58 H01L 29/42**(22) Application date: **19.03.80**

(30) Priority:

(43) Date of application publication: **15.10.81**

(84) Designated contracting states:

(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor: **YONEDA KIYOSHI**

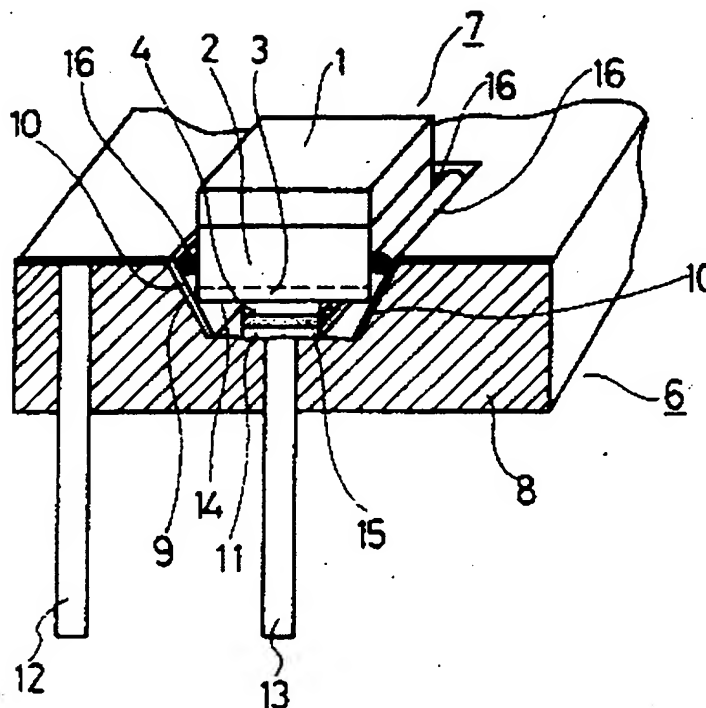
(74) Representative:

(54) MANUFACTURE OF GAN LIGHT EMITTING DIODE

(57) Abstract:

PURPOSE: To take out light emission from a sapphire substrate by providing an inverted truncated pyramid type cavity on a sapphire substrate and installing MIS-structured GaNLED chip.

CONSTITUTION: An inverted truncated pyramid type cavity is provided on a ceramic substrate and a gold film 10 is attached on an inclined surface and an independent gold film 11 at the center of the bottom, and leads 12, 13 are attached to the former respectively. An electrode 4 on a GaN chip 7 is installed facing against the Au film 11 through In 15, and In line 16 is inserted into a clearance between the Au film 10 on an inclined surface and the side of a chip. When the In is melted and solidified, the Au film 11 and the electrode 4 are connected, and the Au film 10 and the first GaN layer 2 of the chip



are connected together to prevent a molten In from flowing down from a V-shaped clearance and short-circuit the films 10 and 11. Under this constitution, it is possible to take out GaN light emission from the sapphire substrate. The light emission is not intercepted at all because sapphire allows the through penetration of blue color.

COPYRIGHT:
(C)1981,JPO&Japio

⑫ 公開特許公報 (A)

昭56—131977

⑪ Int. Cl.³

H 01 L 33/00

21/58

29/42

識別記号

庁内整理番号

7739—5F

6741—5F

7638—5F

⑬ 公開 昭和56年(1981)10月15日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ GaN 発光ダイオード装置の製造方法

守口市京阪本通 2 丁目 18 番地三
洋電機株式会社内

⑯ 特 願 昭55—35163

⑰ 出 願 人 三洋電機株式会社

⑱ 出 願 昭55(1980)3月19日

守口市京阪本通 2 丁目 18 番地

⑲ 発 明 者 米田清

2

明 細 書

1. 発明の名称

GaN 発光ダイオード装置の製造方法

2. 特許請求の範囲

(1) 表面に逆台形状凹所を有し、該凹所の斜面と底面とに夫々独立的に被着された金属膜を備えるヘンダを準備する工程、サファイヤ基板上に形成された M I S 構造の GaN 発光ダイオードチップを準備する工程、上記チップの M I S 構造構成電極が上記凹所底面の金属膜に対向し、かつチップの周縁が上記凹所斜面の金属膜と密接すべく上記チップを上記凹所に適合配置すると共に、上記凹所底面の金属膜と上記チップの M I S 構造構成電極との間及び上記凹所斜面の金属膜と上記チップの側面との間の V 字状間隙に夫々低融点金属を配置する工程、上記低融点金属を熔融固化することにより上記凹所底面の金属膜と上記チップの M I S 構造構成電極との間及び上記凹所斜面の金属膜と上記チップの側面との間の電気的結合をなす工程、を具備せる GaN 発光ダイオード装置の製

造方法。

8. 発明の詳細な説明

本発明は発光ダイオード装置の製造方法に関し、更に詳しくは、GaN (窒化ガリウム) 発光ダイオードチップをヘンダにマウントする方法を提供するものである。

第 1 図は典型的な GaN 発光ダイオードチップを示し、(1)はサファイヤ基板、(2)及び(3)は該基板上に順次エピタキヤル成長された第 1 GaN 層及び第 2 GaN 層、(4)は該第 2 GaN 層に部分的に形成された第 1 金属電極、(5)は第 1 GaN 層(2)の側面に形成された第 2 金属電極である。

第 1 GaN 層(2)は N 形伝導性、第 2 GaN 層(3)は半絶縁性を夫々呈し、第 1 金属電極(4)は金等からなり、従ってこれらは M I S (金属—絶縁物—半導体)構造を構成し、第 1 金属電極(4)を正電極、第 2 金属電極(5)を負電極として電圧を印加すると、第 1 金属電極(4)の直下で青色発光が生じる。

発光はこの様に第 1 金属電極(4)直下で生じるので、それを該電極側から取り出そうとすれば、発

光の多くが第1金属電極(4)で吸収される。第1金属電極(4)の厚さを極めて薄くすれば該電極での光吸収は軽減されるが、半面該電極の耐抵抗が著しく増大し好ましくない。これに対し、発光をサファイヤ基板(1)側から取り出せば有利である。なぜなら、サファイヤは無色透明で青色光をも良く透過せしめ、従って発光が何ら遮られないからである。

本発明目的は上記の点に鑑み、サファイヤ基板上に形成されたMIS構造のGaN発光ダイオードチップを用いた装置において、発光をサファイヤ基板側から取り出すに適した構造にすための上記チップのヘツダへのマウント方法を提供することにある。

以下本発明実施例方法を第2図において説明する。

まず各部の構成を述べるに、(6)はヘツダ、(7)は該ヘツダにマウントされるGaN発光ダイオードチップである。

ヘツダ(6)の部分において、(8)は絶縁性セラミッ

面の第2金属膜(11)とチップの第1金属電極(4)との間にシート状のインジウム(10)を介在させ、かつ凹所の4斜面の第1金属膜(10)とチップの4側面との間の各V字状隙間に線状のインジウム(10)を挿入配置する。尚上記各インジウム(10)及び(10)はこれに限ることなく低融点金属であれば他の材料に変えることができる。

続く工程は、装置全体を昇温してインジウム(10)を熔融し、その後固化することである。これにより凹所底面の第2金属膜(11)とチップの第1金属電極(4)とが電気的に結合され、又線状インジウム(10)は上記V字状隙間の底部に流れ込み固化するので凹所斜面の第1金属膜(10)とチップの第1GaN層(2)とが電気的に結合される。このとき線状インジウム(10)のほは上記V字状隙間の底部にて固化されるインジウムが少なくともチップの第1GaN層(2)の1部に接触するに十分な値に予め決められていることはもちろんである。

又、チップの周縁が凹所斜面の第1金属膜(10)と密接しているので熔融状態のインジウムが上記V

ク基台、(9)は該基台表面に設けられた逆台形状凹所、(10)は該凹所の4方の斜面から基台(8)表面に亘って連続的に被着された金等からなる第1金属膜、(11)は凹所(9)の底面中央に第1金属膜(9)とは独立して被着された金等からなる第2金属膜、(12)及び(13)は夫々基台(8)に植設され先端において第1及び第2金属膜(10)及び(11)と接触する第1及び第2リードである。

チップ(7)は第1図と同一番号にて示す如く、サファイヤ基板(1)上に形成されたMIS構造のGaN発光ダイオードチップであるが、その寸法形状はチップのMIS構造構成電極、即ち第1金属電極(4)がヘツダ凹所の第2金属膜(11)に対接すべくチップを凹所(9)に配したとき、チップの周縁、即ち第2GaN層(3)の4稜線(14)が夫々凹所の4斜面の第1金属膜(10)と密接すべく設定されている。

次にチップ(7)をヘツダ(6)にマウントする方法について述べるに、まず図の如く、チップの第1金属電極(4)がヘツダ凹所の第2金属膜(11)に対接すべくチップを凹所(9)に適合配置すると共に、凹所底

面より下に流れ落ちることなく、従って第1金属膜(10)と第2金属膜(11)とが短絡する危険はない。

インジウム(10)、(10)は上記電極の結合作用の他に機械的結合作用も呈し、従ってこれによりチップ(7)はヘツダ(6)に機械的に固着される。尚、所る機械的固着は必要に応じてチップ及びヘツダを透明樹脂によりモールドすることにより補強され得る。

以上により装置が完成するが、所る装置においては第1及び第2リード(12)、(13)を夫々負極及び正極として電圧印加すればチップの第1電極(4)直下で生じた青色光がサファイヤ基板(1)を通じて取り出される。

かくして本発明によれば、サファイヤ基板上に形成されたMIS構造のGaN発光ダイオードチップを用いた装置において、発光をサファイヤ基板側から取り出すに適した構造を得ることができる。

4. 図面の簡単な説明

第1図は典型的なGaN発光ダイオードの側面

図、第2図は本発明実施例を部分断面して示す斜視図である。

(6)…ヘツダ、(9)…凹所、(7)… $G \cdot N$ 発光ダイオードチップ、13、14…低融点金属としてのインジウム。

特許出願人

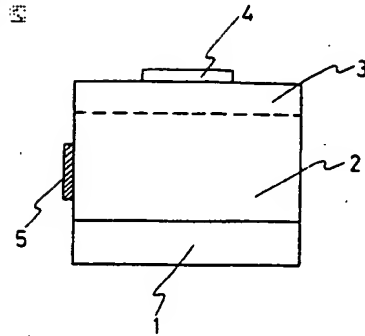
三洋電機株式会社

代表者 井 植



特開昭56-131977(3)

第1図



第2図

